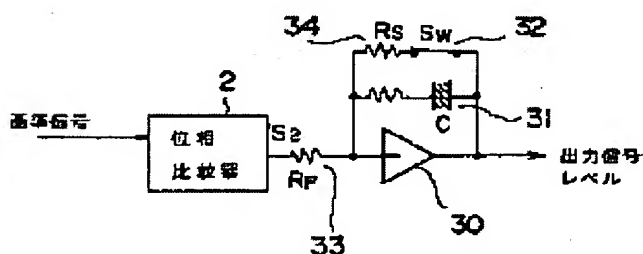


**MOTOR-SPEED CONTROLLER**

**Patent number:** JP6038563  
**Publication date:** 1994-02-10  
**Inventor:** ONO YOICHI  
**Applicant:** NEMOTO KIYOURINDOU KK  
**Classification:**  
- **International:** H02P1/16; H02P5/00  
- **European:**  
**Application number:** JP19920206285 19920710  
**Priority number(s):** JP19920206285 19920710

Abstract not available for JP6038563



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-38563

(43) 公開日 平成6年(1994)2月10日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 P 1/16		2116-5H		
5/00	3 0 1 D	7315-5H		

審査請求 未請求 請求項の数1(全4頁)

(21) 出願番号 特願平4-206285

(22) 出願日 平成4年(1992)7月10日

(71) 出願人 391039313

株式会社根本杏林堂

東京都文京区本郷3丁目26番4号

(72) 発明者 小野 世一

東京都文京区本郷3丁目26番4号 株式会  
社根本杏林堂内

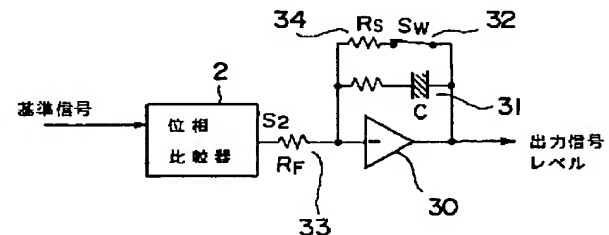
(74) 代理人 弁理士 高橋 友二 (外1名)

(54) 【発明の名称】 モータ速度制御装置

(57) 【要約】

【目的】 位相比較器で基準発振器からの信号とモータの実回転速度でフィードバック制御される回転速度設定器内のVCOからの信号を比較し、その差信号を該モータに入力し該モータの回転速度をフィードバック制御するモータ速度制御装置における始動時の過渡応答を改善する。

【構成】 位相比較器の後段に、抵抗 $R_f$ と、増幅器、コンデンサ $C$ 、スイッチをそれぞれ並列に接続した回路とからなるアクティブ・フィルタを直列に接続し、モータ始動時にスイッチをOFFしてアクティブ・フィルタの出力レベルを抵抗 $R_f$ とコンデンサ $C$ とで定まる時定数で上昇させる。



1

## 【特許請求の範囲】

【請求項1】 位相比較器で基準発振器からの信号とモータの実回転速度でフィードバック制御される回転速度設定器内のVCOからの信号とを比較し、その差信号を上記モータに入力し該モータの回転速度をフィードバック制御するモータ速度制御装置において、上記位相比較器の後段に、抵抗R<sub>1</sub>と、増幅器、コンデンサC、スイッチをそれぞれ並列に接続した回路とからなるアクティブ・フィルタを直列に接続し、モータ始動時に上記スイッチをOFFしてアクティブ・

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はモータ速度制御装置、さらに詳しくは始動時の過渡応答を改善するモータ速度制御装置に関するものである。

## 【0002】

【従来の技術】 フィードバック制御によりモータの速度制御を行うモータ速度制御装置には、種々の装置が存在するが、その一つに図4に示す装置がある。図4は、例えば医療用インジェクター等に使用される従来のモータ速度制御装置の構成を示すブロック図であり、図において、1は基準発振器、2は位相比較器、4はLPF (Low-pass filter)、5は増幅器、6はモータ、7はエンコーダ、8は2週倍回路、9は位相比較器、10はLPF、11はVCO (Voltage controlled oscillator)、12は可変分周回路を示す。

【0003】 次に図4に示す回路の動作について説明する。位相比較器2において基準発振器1からの基準信号S<sub>1</sub>がVCO11からの信号R<sub>1</sub>と比較され、その差信号S<sub>2</sub>がLPF4へ入力され、LPF4で波形が整合されて増幅器5で増幅され、モータ6の回転速度制御が行われる。モータ6の実回転速度は、エンコーダ7で電気信号に変換され、2週倍回路8を経て位相比較器9に信号R<sub>1</sub>として入力され、位相比較器9の他方には、位相比較器9-LPF10-VCO11-可変分周回路12-位相比較器9のフィードバック回路で構成される回転速度設定器の出力が入力されており、可変分周回路12に分周数（即ち、モータ6の回転速度）を設定することにより、位相比較器9へ信号R<sub>2</sub>が入力され、位相比較器9で信号R<sub>2</sub>と信号R<sub>1</sub>とが比較され、その差信号R<sub>3</sub>がLPF10を介してVCO11の発振周波数を制御し、このVCO11の出力R<sub>1</sub>が位相比較器2に入力される。このようにして、可変分周回路12に設定された回転速度でモータ6の回転速度がフィードバック制御される。なお、モータ6の速度可変範囲を十分に取りたい場合には、可変分周器12の分周数Nを固定しておいて

2

基準発振器1の発振周波数を変化させれば良い。

## 【0004】

【発明が解決しようとする課題】 上記のような従来のモータ速度制御装置は以上のように構成され動作するので、モータ始動時の過渡応答を避けることができず、すなわち、モータ始動時の一定時間モータの回転速度が設定値より異常に高くなるのを避けることができないという問題点があった。すなわち、図3の(B)に示すように、始動時には位相比較器2に信号R<sub>1</sub>が入力せず、信号S<sub>2</sub>の値が異常に大きくなりモータ6が過回転する。そして、モータ6が過回転すると、差信号S<sub>2</sub>がその分だけマイナスになり、モータ6を設定回転速度まで急速に減速させるように動作するため、始動時の過渡応答により、回転異常や振動が発生する等の問題点があった。

【0005】 本発明は、かかる問題点を解決するためになされたものであり、簡単な構成で始動時の過渡応答を大幅に改善したモータ速度制御装置を得ることを目的としている。

## 【0006】

【課題を解決するための手段】 本発明に係わるモータ速度制御装置は、抵抗33と、増幅器30、コンデンサ31、スイッチ32を並列に接続した回路とからなるアクティブ・フィルタ3を位相比較器2の後段に直列に挿入することとした。

## 【0007】

【実施例】 以下、本発明の一実施例を図面を用いて説明する。図1は本発明の一実施例を示すブロック図であり、図において、1は基準発振器、2は位相比較器、3はアクティブ・フィルタ、4はLPF、5は増幅器、6はモータ、7はエンコーダ、8は2週倍回路、9は位相比較器、10はLPF、11はVCO、12は可変分周回路であり、アクティブ・フィルタ12を除いて図4に示す従来の回路と同様なので、ここでは重複した説明は省略する。

【0008】 図2は、図1に示すアクティブ・フィルタ3の一構成例を示す図で、図において、30は増幅器、31はコンデンサ、32はスイッチ、33、34は抵抗である。図2に示すようにアクティブ・フィルタ3は、抵抗33と、増幅器30、コンデンサ31、スイッチ32がそれぞれ並列に接続された回路とから構成され、モータ6が停止状態の時、スイッチ32をON状態として出力信号レベルがゼロレベルになるよう抵抗34の抵抗値が設定されている。

【0009】 次に動作について説明する。モータ6始動時には、スイッチ32を自動的にOFF状態とする。従って、出力信号レベルは抵抗33とコンデンサ31とによって定まる時定数で上昇し、モータ6が設定回転速度に達すると、この出力信号レベルが整定する。従って、モータ6の回転速度が設定回転速度に達した後は、出力信号レベルは増幅器30の利得に依存する。以上のように

にして、図3(A)に示すように、始動時の過渡応答を防止して、過回転や振動の発生を防止する。なお、スイッチ32は一般的に論理回路スイッチで構成され、モータ6の始動開始スイッチ(図示せず)と連動して動作するように構成される。

【0010】

【発明の効果】本発明は以上説明したように簡単な構成で始動時の過渡応答を大幅に改善したモータ速度制御装置が得られる。また、簡単な回路で構成することができ、VCOにV-F変換ICを使用することができるため、低価格に構成できる等の効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】図1に示すアクティブ・フィルタの一構成例を示す図である。

【図3】本発明の装置と従来の装置との比較を示す図で

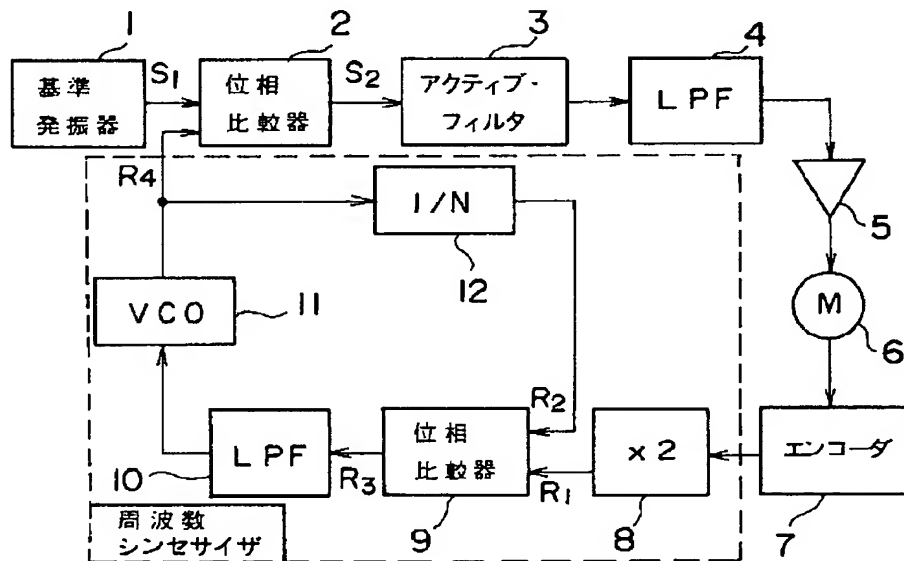
ある。

【図4】従来の装置を示すブロック図である。

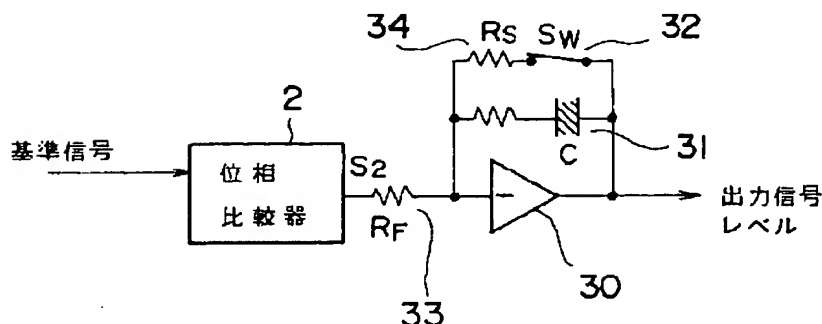
【符号の説明】

- 1 基準発振器
- 2 位相比較器
- 3 アクティブ・フィルタ
- 6 モータ
- 7 エンコーダ
- 9 位相比較器
- 11 VCO
- 12 可変分周回路
- 30 増幅器
- 31 コンデンサ
- 32 スイッチ
- 33, 34 抵抗

【図1】



【図2】



The diagram shows a PLL system. A reference oscillator (1) provides a signal  $S_1$  to a phase comparator (2). The phase comparator (2) also receives a feedback signal  $R_4$  and outputs  $S_2$  to a low-pass filter (4). The output of the low-pass filter (4) is inverted (5) and then multiplied by  $M$  (6). The result is encoded (7) and then divided by 2 ( $\times 2$ , 8). The output of the divider (8) is compared with the reference signal  $S_1$  at the phase comparator (2). The output of the phase comparator (2) is also divided by  $N$  ( $1/N$ , 12) and fed back to the VCO (11). The VCO (11) output is filtered by a low-pass filter (10) and then compared with the reference signal  $S_1$  at the phase comparator (2). The output of the phase comparator (2) is also divided by  $N$  ( $1/N$ , 12) and fed back to the VCO (11). The output of the VCO (11) is filtered by a low-pass filter (10) and then compared with the reference signal  $S_1$  at the phase comparator (2). The output of the phase comparator (2) is also divided by  $N$  ( $1/N$ , 12) and fed back to the VCO (11).